

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-064795  
 (43)Date of publication of application : 10.03.1995

(51)Int.Cl.

G06F 9/445

(21)Application number : 05-213887  
 (22)Date of filing : 30.08.1993

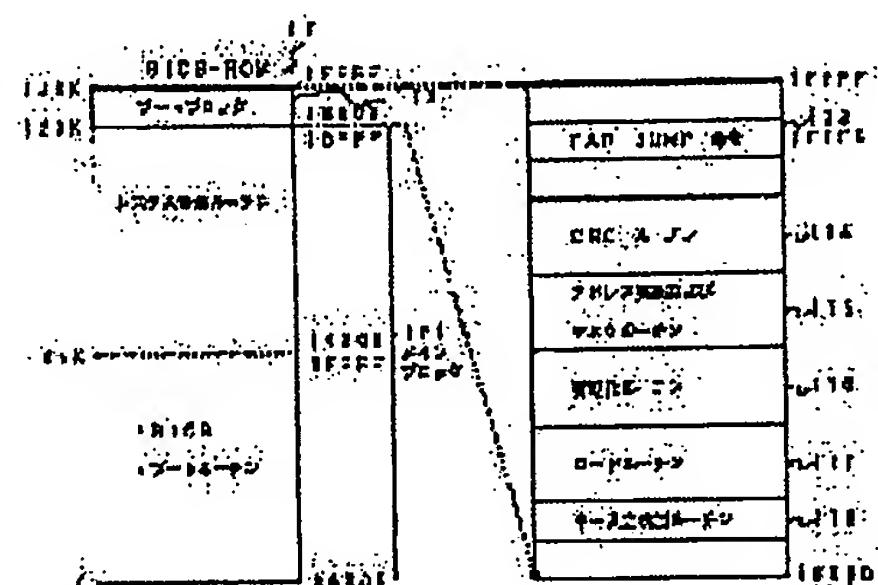
(71)Applicant : TOSHIBA CORP  
 (72)Inventor : DEWA KOICHI

## (54) COMPUTER SYSTEM

## (57)Abstract:

PURPOSE: To rewrite the content of BIOSROM on onboard even when the start processing of a system can not be executed.

CONSTITUTION: A flash memory used as BIOSROM 17 is provided with a main block 171 to be the object of rewriting and a read-only boot block 172 which is not the object of rewriting so that a key input detection routine stored in the boot block 172 detects the presence/absence of the input of F12 in advance of the boot processing of an operating system. When the F12 key is inputted, the load routine of the boot block 172 is executed. The execution of the load program makes a rewriting program to be forcedly loaded and executed. Consequently, even when the starting of the system can not be executed normally, the content of the main block 171 can be recovered on onboard.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開平7-64795

(43)公開日 平成7年(1995)3月10日

(51) Int.Cl.<sup>6</sup>

識別記号

室内整理番号

FI

### 技術表示箇所

G O 6 F 9/445

9367--5B

G O 6 F 9/ 06

420 M

審査請求 未請求 請求項の数 2 OL (全 13 頁)

(21)出願番号 特願平5-213887

(22)出願日 平成5年(1993)8月30日

(71) 出國人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 出羽 浩一

東京都青梅市末広町2丁目9番地 株式会

社東芝青梅工場内

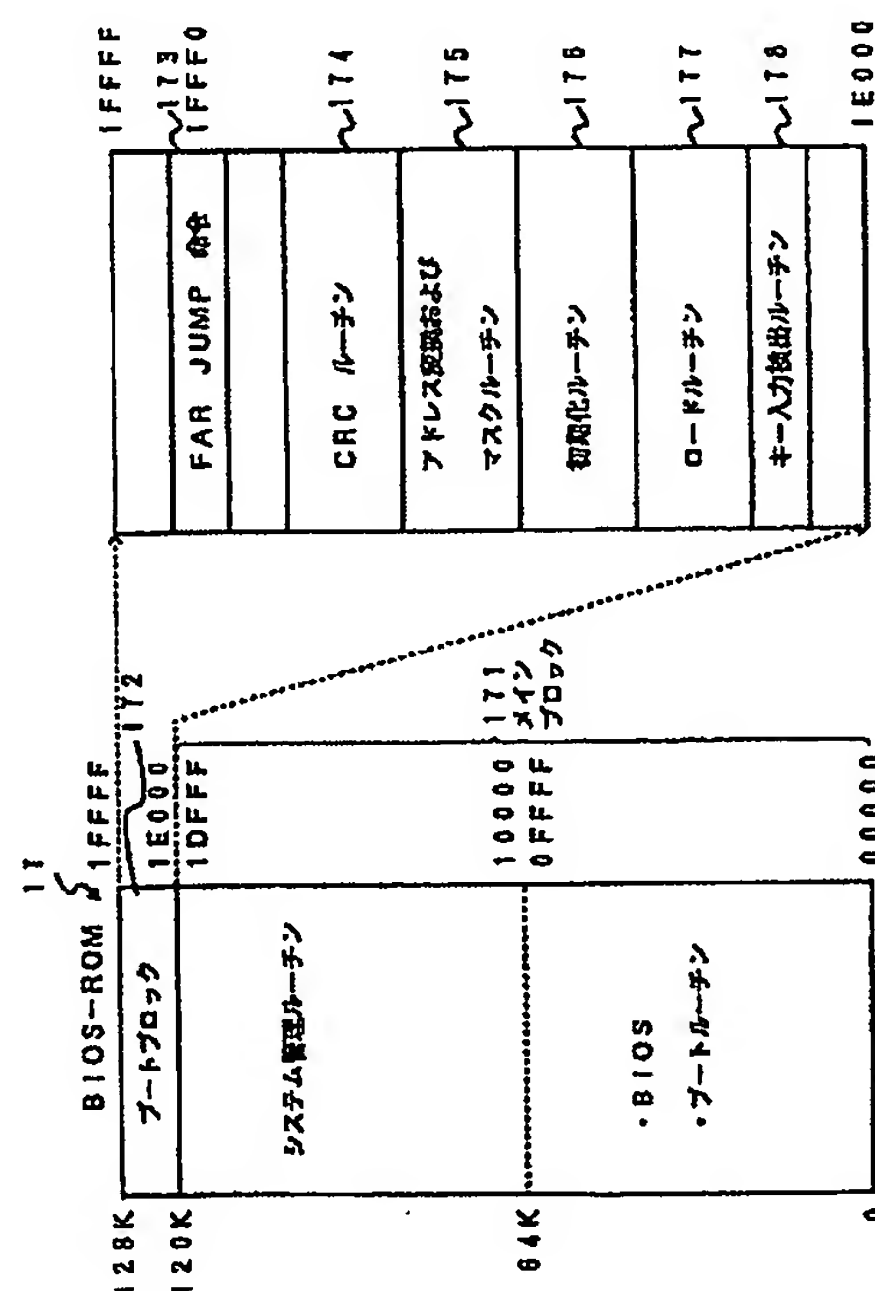
(74)代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 コンピュータシステム

(57) 【要約】

【目的】システムの立ち上げ処理ができない場合でも、BIOSROMの内容をオンボード上で書き替えられるようにする。

【構成】BIOSROM17として使用されるフラッシュメモリは、書き替えの対象となるメインブロック171と書き替えの対象とならない読み出し専用のブートブロック172を有しており、ブートブロック172に格納されたキー入力検出ルーチンが、オペレーティングシステムのブート処理に先立って、F12キーの入力の有無を検出する。F12キーの入力があれば、ブートブロック172のロードルーチンが実行される。このロードプログラムが実行されることにより、書き替えプログラムが強制的にFDからロードされて実行される。したがって、システムの立ち上げが正常に実行できない場合でも、メインブロック171の内容の修復をオンボード上で行うことができる。



## 【特許請求の範囲】

【請求項 1】 システムを立上げのためのブートプログラムおよびシステム内のハードウェア制御のための各種基本入出力プログラムが格納され、書き換えプログラムによって書き換えの対象となる第 1 記憶領域、および所定のキー入力の有無を検出するキー入力検出プログラムおよび前記第 1 記憶領域の内容を書き換えるための前記書き換えプログラムを外部記憶装置から主記憶にロードするためのロードプログラムが格納され、前記書き換えプログラムによって書き換えの対象とならない第 2 記憶領域を有する EEPROM と、

システムの電源投入に応答して前記第 2 記憶領域のキー入力検出プログラムを実行して、前記第 1 記憶領域の書き換えを指示する所定のキー入力の有無を検出するキー入力検出手段と、

このキー入力検出手段によって前記所定のキー入力がない事が検出された際、前記第 1 記憶領域のブートプログラムを実行して、システムの立ち上げ処理を行うブート手段と、

前記キー入力検出手段によって前記所定のキー入力が出された際、前記第 2 記憶領域のロードプログラムを実行して、書き換えプログラムを外部記憶装置から主記憶にロードする書き換えプログラムロード手段と、

この書き換えプログラムロード手段によって主記憶にロードされた前記書き換えプログラムを実行して、前記第 1 記憶領域の内容を修復する手段とを具備することを特徴とするコンピュータシステム。

【請求項 2】 システムを立上げのためのブートプログラムおよびシステム内のハードウェア制御のための各種基本入出力プログラムが格納された第 1 記憶領域、および前記第 1 記憶領域の内容をチェックするためのメモリチェックプログラム、所定のキー入力の有無を検出するキー入力検出プログラムおよび前記第 1 記憶領域の内容を書き換えるための書き換えプログラムを外部記憶装置から主記憶にロードするロードプログラムが格納された第 2 記憶領域を有する EEPROM と、

システムの電源投入に応答して前記第 2 記憶領域のメモリチェックプログラムを実行し、前記第 1 記憶領域の内容の正当性の有無を検出するメモリチェック手段と、

このメモリチェック手段によって前記第 1 記憶領域の内容の正当性が決定された際、前記第 2 記憶領域のキー入力検出プログラムを実行して、前記第 1 記憶領域の書き換えを指示する所定のキー入力の有無を検出するキー入力検出手段と、

このキー入力検出手段によって前記所定のキー入力がない事が検出された際、前記第 1 記憶領域のブートプログラムを実行して、システムの立ち上げ処理を行うブート手段と、

前記メモリチェック手段によって前記第 1 記憶領域の内容のエラーが決定された際、または前記キー入力検出手

段によって前記所定のキー入力が出された際、前記第 2 記憶領域のロードプログラムを実行して、書き換えプログラムを外部記憶装置から主記憶にロードする書き換えプログラムロード手段と、

この書き換えプログラムロード手段によって主記憶にロードされた前記書き換えプログラムを実行して、前記第 1 記憶領域の内容を修復する手段とを具備することを特徴とするコンピュータシステム。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明はコンピュータシステムに関し、特にフラッシュ EEPROM 等の書き換え可能な ROM をシステム ROM として使用したコンピュータシステムに関する。

## 【0002】

【従来の技術】 一般に、パーソナルコンピュータなどのコンピュータシステムは、BIOS（基本入出力プログラム）を記憶するためのシステム ROM（リードオンリメモリ）を備えている。従来、このシステム ROM の内容が破壊された場合や BIOS の内容をバージョンアップする場合は、システム ROM を交換する必要があった。

【0003】 ところで、近年では、書き換え可能な ROM として、フラッシュ EEPROM が開発されている。フラッシュ EEPROM は、記憶データをブロック単位で消去できる等の種々のメリットを有する。このため、最近では、フラッシュ EEPROM をシステム ROM として使用して、BIOS を書き換え可能にする構成が採用され始めている。

【0004】 このようなフラッシュ EEPROM を使用したシステムにおいては、BIOS の書き換えは、オペレーティングシステムのブートストラップ後に、フロッピーディスク等から BIOS 書き換えユーティリティを主記憶にロードして実行することだけで行なうことができる。

【0005】 このように、フラッシュ EEPROM をシステム ROM として使用すれば、製品出荷後においてもオンボード上で BIOS の書き換えを行うことができる。しかしながら、このような BIOS 書き換えは、システムが正常に立ち上がって BIOS 書き換えユーティリティが実行できる状態にならなければ、行うことができない。

【0006】 システム立ち上げ処理、すなわち、オペレーティングシステムのブートストラップは、BIOS 内のブートルーチンを実行することによって行われる。よって、BIOS の内容が、例えばその BIOS の書き換え途中にてシステムが誤ってパワーオフされる事などによって破壊されてしまっている場合には、オペレーティングシステムをブートすること自体できないので、BIOS 書き換えユーティリティを実行することができなく

なる。

【0007】このような状況に陥ると、BIOSの書き換えを実行することができないので、BIOSの内容を修復できなくなってしまう。したがって、フラッシュEEPROM自体を交換しなければならないという不具合が生じる。

【0008】

【発明が解決しようとする課題】従来では、システム立ち上げ後でなければ、BIOS書き換えユーティリティを実行できないので、例えば、BIOSの書き換え途中にシステムがパワーオフされること等の要因でBIOSの内容が一旦破壊されると、以降は、2度とBIOSの書き換えを実行できなくなるという欠点があった。

【0009】この発明はこのような点に鑑みてなされたもので、BIOSが破壊されてしまいシステムを立ち上げる事ができない場合でも強制的にBIOS書き換えユーティリティを実行できるようにして、BIOSの修復をオンボード上で行うことができるコンピュータシステムを提供することを目的とする。

【0010】

【課題を解決するための手段および作用】この発明のコンピュータシステムは、システム立ち上げのためのブートプログラムおよびシステム内のハードウェア制御のための各種基本入出力プログラムが格納された書き換え可能な第1記憶領域、および所定のキー入力の有無を検出するキー入力検出プログラムおよび前記第1記憶領域の内容を書き替えるための書き換えプログラムを外部記憶装置から主記憶にロードするロードプログラムが格納された読み出し専用の第2記憶領域を有するEEPROMと、システムの電源投入に応答して前記第2記憶領域のキー入力検出プログラムを実行して、前記第1記憶領域の書き換えを指示する所定のキー入力の有無を検出するキー入力検出手段と、このキー入力検出手段によって前記所定のキー入力がない事が検出された際、前記第1記憶領域のブートプログラムを実行して、システムの立ち上げ処理を行うブート手段と、前記キー入力検出手段によって前記所定のキー入力検出された際、前記第2記憶領域のロードプログラムを実行して、書き換えプログラムを外部記憶装置から主記憶にロードする書き換えプログラムロード手段と、この書き換えプログラムロード手段によって主記憶にロードされた前記書き換えプログラムを実行して、前記第1記憶領域の内容を修復する手段とを具備することを特徴とする。

【0011】このコンピュータシステムにおいては、システムROMとして使用されるEEPROMは、書き換えプログラムによって書き換えの対象となる第1記憶領域と書き換えの対象とならない第2記憶領域を有しており、第2記憶領域に格納されたキー入力検出プログラムが電源投入に応答して最初の実行される。このキー入力検出プログラムが実行されることにより、第1記憶領域

の書き換えを指示する所定のキー入力の有無が検出され、キー入力がない場合には、第1記憶領域のブートプログラムが実行されてオペレーティングシステムのブート処理が行われる。一方、キー入力がある場合には、第1記憶領域のブートプログラムの実行に先立って、第2記憶領域に格納されているロードプログラムが実行される。このロードプログラムが実行されることにより、書き換えプログラムが強制的に外部記憶装置からロードされて実行される。この結果、第2記憶領域の内容の書き換えが行われる。

【0012】このように、所定のキーを入力することによって強制的に書き換えプログラムを実行できるので、たとえ書き換え可能な第1記憶領域の内容が破壊されてしまいシステムを立ち上げる事ができない場合でも、第1記憶領域の内容の修復をオンボード上で行うことができる。

【0013】また、この発明のコンピュータシステムは、第1記憶領域の内容をチェックするためのメモリチェックプログラムを第2記憶領域にさらに格納しておき、メモリチェックプログラムのメモリチェックと、キー入力検出プログラムのキー入力チェックの双方を利用して、ブート処理を実行するか、書き換えプログラムを実行するかを決定するように構成されていることを第2の特徴とする。

【0014】

【実施例】以下、図面を参照してこの発明の実施例を説明する。まず、図1を参照して、この発明の一実施例に係るパーソナルコンピュータのシステム構成を説明する。

【0015】このパーソナルコンピュータは、ポータブルコンピュータであり、システム全体の制御を司るCPU11を備えている。CPU11としては、例えば、インテル社（米国）の80486SLと同等の構成・機能を有するものを使用可能である。

【0016】CPU11のローカルバスには、システムメモリ13が接続される。このシステムメモリ13は、本システム（パーソナルコンピュータシステム）のメインメモリとして利用されるものである。システムメモリ13には、処理対象となるプログラムおよびデータ等が格納される。この実施例において、システムメモリ13は、標準で2Mバイトの記憶容量を有する。システムメモリ13は、拡張メモリを拡張スロット14に装着することにより最大18Mバイトまで拡張可能である。

【0017】CPU11はシステムバス15に接続されている。システムバス15は、アドレスデータ、データ及び制御データの転送に用いられる。システムバス15には、BIOS（Basic Input/Output System）等が格納されているBIOS-ROM17が接続されている。このBIOS-ROM17は、フラッシュEEPROM（以下、フラッシュメモリと称する）から構成されてい



る。BIOS-ROM17の詳細については図2乃至図4を参照して後述する。

【0018】システムバス15にはまた、スーパーインテグレーションIC(SI)19が接続されている。このSI19には、ダイレクトメモリアクセス制御のためのDMAコントローラが2個、プログラマブル割り込みコントローラ(PIC)が2個、プログラマブル割り込みタイマ(PIT)が2個、シリアル入出力インタフェース(SIO)が2個、リアルタイムクロック(RTC)が1個内蔵されている。このSI19としては、例えばインテル社の82360SLが使用可能である。

【0019】システムバス15にはまた、ハードディスクドライブ(HDD)21およびスーパーインテグレーションIC(SI)23が接続されている。ハードディスクドライブ(HDD)21は、IDE(Integrated Drive Electronics)インタフェースを有し、CPU11によって直接的にアクセス制御される。このハードディスクドライブ(HDD)21は、2.5インチ、120M/200Mバイトの記憶容量を持つ。

【0020】スーパーインテグレーションIC(SI)23は、フロッピーディスクドライブを制御するフロッピーディスクコントローラ(FDC)と、FDC用のクロックを生成する可変周波数発振器(VFO)を内蔵している。このSI23としては、例えば、(株)東芝のT9920が使用可能である。

【0021】SI23には、装置内に標準的に内蔵されているフロッピーディスクドライブ(内部FDD)25が接続されている。またSI23には、必要に応じて外部フロッピーディスクドライブまたはプリンタ(PRT/FDD)27が接続される。更にSI23には、システムの電源41を制御する電源コントローラ39が接続されている。この電源コントローラ39は、システムの電源投入時にはパワーオンリセット信号を出力する。

【0022】システムバス15にはまた、ディスプレイコントローラ(DISPCONT)29が接続されている。このディスプレイコントローラ29は、LCD等のディスプレイパネル31を表示制御する。

【0023】システムバス15にはまた、キーボードコントローラ(KBC)33が接続されている。このキーボードコントローラ33は、同コントローラ33に接続されているキーボード(KB)35を制御する。即ちキーボードコントローラ33は、キーボード35のキーマトリクスをスキャンして押下キーに対応する信号を受けとり、それを所定のキーコードに変換する。このキーコードは、システムバス15を介して、ハンドシェイク方式のシリアル通信によりCPU11に送信される。

【0024】システムバス15には更に、拡張コネクタ37が接続されている。この拡張コネクタ37には、機能拡張のための拡張ユニット(拡張ボード)等が装着可能である。

【0025】次に、BIOS-ROM17の構成並びに同BIOS-ROM17に割り当てられるメモリ空間(アドレス空間)について、図2乃至図4を参照して説明する。

【0026】まずBIOS-ROM17は、8ビット×128Kの記憶容量、即ち128Kバイトの記憶容量を有するフラッシュメモリから構成される。図2に示すように、BIOS-ROM17の0から120Kバイトまでの領域、即ち物理アドレスが00000H-1DFFFHの領域は、後述するBIOS書き替えプログラムによって書き替えの対象となるメインブロック171である。なお、末尾の“H”は16進表現であることを示す。但し、以降のアドレスについての表現では、“H”を省略する。またBIOS-ROM17の120Kバイトから128Kバイトまでの領域、即ち物理アドレスが1E000-1FFFFの領域は、書き替えの対象とならない読み出し専用のブートブロック172である。また、ブートブロック172は、SI19またはSI29に設けられるハードウェアロジックによってもその書き替えが禁止されている。すなわち、BIOS-ROM17を構成するフラッシュメモリは、システムボードから取り外して専用のライターを利用すればそのフラッシュメモリ全ての領域がプログラム可能であるが、オンボード上では、メインブロック171だけが書き替え可能となり、ブートブロック172の書き替えについては、プログラム信号を発生禁止するハードウェアロジックなどの利用によって禁止される。BIOS-ROM17としては、例えば、インテル社のI28F001BX-Tが使用可能である。

【0027】BIOS-ROM17上のブートブロック172はシステムの制御のための最小限の機能を実行するためのプログラムを記憶した領域である。このブートブロック172には、ファージャンプ命令173、BIOS-ROM17の記憶内容をチェックするためのCRC(Cyclic Redundancy Check)ルーチン174、およびBIOS-ROM17に対するアドレスの変換とアドレスのマスクのためのルーチン(アドレス変換並びにアドレスマスクルーチン)175が記憶されている。ブートブロック172にはまた、最小限の初期化処理のための初期化ルーチン176、BIOS-ROM17の書き換えに用いる書き換えルーチンをフロッピーディスクドライブ(FDD)25からシステムメモリ13に転送するためのロードルーチン177、およびメインブロックの書き替えを指示する所定のキー入力の有無を検出するキー入力検出ルーチン178が記憶されている。ファージャンプ命令173は、BIOS-ROM17のアドレス1FFFF0から始まる領域に記憶されている。この領域は、システムがパワーオンされた時にCPU11によって最初にアドレッシングされる領域であり、これによってブートブロック172のプログラムが実行される。

【0028】一方、BIOS-ROM17上のメインブロック171の0から64kバイトまでの領域（低メモリ領域）には、IRT（初期化ルーチン）等を含むBIOS、例えば、従来のパーソナルコンピュータとの互換性を有するBIOSが記憶される。また、ここには、オペレーティングシステムのIPLをシステムメモリ13にロードしてオペレーティングシステムのブートストラップを行うためのブートルーチンが記憶されている。メインブロック171の残りの64Kバイトから120Kバイトまでの56Kバイトの領域（高メモリ領域）には、システムマネージメントルーチンが記憶される。このシステムマネージメントルーチンは、セットアップ、パワーセーブ、サスペンド、レジューム等のためのプログラムである。

【0029】BIOS-ROM17の128Kバイトの領域は、CPU11からは、図3に示すように、16Mバイトのメモリ空間上の、15Mバイトから16Mバイトまでの領域のうちの最後（High側）の128Kバイト領域、即ちアドレスFE0000-FFFFFFの領域に存在するように見えるようになっている。また、BIOS-ROM17の128Kバイトの領域は、CPU11からは、16Mバイトのメモリ空間上の、0から1Mバイトまでの領域のうちの最後（High側）の128Kバイト領域、即ちアドレス0E0000-0FFFFFFFの領域に存在するようにも見えるようになっている。

【0030】CPU11から見たとき、BIOS-ROM17のアドレスは、システムの電源投入直後は、図4（A）に示されているように、そのLow側（前半）の64Kバイト領域（0-64Kバイト）がE000（セグメントアドレス）：0000（セグメント内アドレス）-E000：FFFFに、そのHigh側（後半）の64Kバイト領域（64Kバイト-128Kバイト）がF000：0000-F000：FFFFに、それぞれ割り付けられている。一方、通常状態では、図4（B）に示されているように、BIOS-ROM17のLow側の64Kバイト領域がF000：0000-F000：FFFFに、High側の64Kバイト領域がE000：0000-E000：FFFFに、それぞれ割り付けられる。即ち、CPU11から見たときのBIOS-ROM17のLow側の64Kバイト領域とHigh側の64Kバイト領域のアドレスは、図4（A）と図4（B）に比較して示されるように、電源立ち上げ直後と、通常状態とで入れ替わっている。このようなアドレス変換の詳細を、以下、図5を参照して説明する。

【0031】図5には、BIOS-ROM17をアドレスリングするアドレス回路を中心とする回路構成が示されている。BIOS-ROM17には、128Kバイトの記憶容量に対応した17ビットのアドレスA0-16、チップセレクト信号ROMCS#（#はローアクティブを示す）、メモリライト信号MEMWT#、メモリリード

信号MEMRD#、および書き込み信号PROGが供給される。

【0032】CPU11の出力する24ビットのアドレスA0-23のうちアドレスA0-15はそのままBIOS-ROM17に供給される。また、アドレスA16は、図4（A）、（B）に示したようなアドレス変換を行うために、EXOR（イクスクルーシブ・オア）ゲート47により制御信号INVとのイクスクルーシブ・オアをとられて、BIOS-ROM17に供給される。

【0033】書き込み信号PROGはデータ書き込み時に高電圧+12Vとなり、他の状態で接地電圧となる。この書き込み信号PROGの電圧レベルの変更は、制御信号ROMPRGに従うスイッチ45の切り替え動作によってなされる。なお、スイッチ45に代えて、リレーや、FET等のスイッチ素子を用いることも可能である。

【0034】チップセレクト信号ROMCS#は、CPU11の出力する24ビットのアドレスA0-A23のうち上位8ビットA16-A23、および制御信号DISE#を入力とするマスク回路49により生成される。このマスク回路49について図6を参照して説明する。

【0035】図6に示されているように、マスク回路49は、アンドゲート51、57、ノアゲート53、オアゲート55、59およびナンドゲート61から構成される。CPU11の出力する24ビットのアドレスA0-A23のうち、上位4ビットA20-A23はアンドゲート51に供給され、A20-A23がオール“1”（16進表現でF）であるか否かが検出される。この4ビットA20-A23はノアゲート53にも供給され、A20-A23がオール“0”（16進表現で0）であるか否かが検出される。アンドゲート51とノアゲート53の両出力はオアゲート55に供給される。

【0036】オアゲート55の出力とアドレスA17-19はアンドゲート57に供給され、アドレスビットA20-A23がオール“1”または“0”であって、且つアドレスビットA17-19がオール“1”であるか否かが検出される。即ち、アドレスA0-23がFF××××、FE××××、0F××××、0E××××のいずれかであるか否か（××××は0000-FFFFの範囲の任意の値）が検出される。アドレスビットA16と制御信号DISE#はオアゲート59に供給される。

【0037】アンドゲート57とオアゲート59の両出力はナンドゲート61に供給される。ナンドゲート61は、アンドゲート57およびオアゲート59の両出力がいずれもハイレベルの場合に、アクティブなローレベルのチップセレクト信号ROMCS#を出力する。これに対し、アンドゲート57およびオアゲート59の両出力のうちの少なくとも一方がローレベルの場合、アクティブでないハイレベルのチップセレクト信号ROMCS#を出力する。

【0038】以上に述べたマスク回路49の構成により、図4(B)に示される状態において、CPU11から、BIOS-ROM17の64Kバイトから128Kバイトまでの領域内を指定するアドレスが出力された場合には、A16が“0”（ローレベル）のため、信号DISE#をローレベルにしているならば、チップセレクト信号ROMCS#がハイレベルとなってBIOS-ROM17はチップディセーブル状態になる。これにより、BIOS-ROM17のアクセスが禁止される。換言すると、E000:0000-E000:FFFFの範囲のアドレスがマスクされる。このマスク回路49の動作の詳細は後述する。

【0039】次に、上記制御信号INV（図5）、制御信号DISE#（図5、図6）、および制御信号ROMPRG（図5）を生成する回路について、図7を参照して説明する。

【0040】図7に示されるように、3つのD型フリップフロップ（D型FF）71、73、75のローアクティブのクリア端子（CLR）には、電源スイッチがONされた時に図1に示す電源コントローラ39から供給されるローアクティブのパワーオンリセット信号が共通に供給される。

【0041】3つのD型FF71、73、75の各データ入力端子（D）には、CPU11からそれぞれ独立のI/Oデータ（1ビット）が供給され、そのクロック端子（CK）には、CPU11からのI/Oライト信号が供給される。D型FF71の逆相出力QNは信号DISE#となり、D型FF73の正相出力Qは信号INVとなり、D型FF75の正相出力Qは信号ROMPRGとなる。

【0042】次に、上記構成のシステムの概略動作を図8のフローチャートを参照して説明する。この構成のシステムは、電源立ち上げ後、図8に示されるように、まずBIOS-ROM17のブートブロック172に記憶されたプログラムに従って動作する（ステップP1）。ここでは、本システムは、EXORゲート47によるアドレス変換を行わずにブートブロック172をアクセスして、ファージャンプ命令173、BIOS-ROM17の記憶内容の巡回冗長検査（CRC：Cyclic Redundancy Check）を行うためのCRCルーチン174、およびキー入力検出ルーチン178等を実行する。

【0043】CRCが成功（CRCエラーなし）の場合、キー入力検出ルーチン178が実行されて、メインブロック171の書き換えを要求する所定のキー、例えば、F12キーが押下されているか否かがチェックされる。

【0044】F12キーが押下されてない場合には、図8に示されるステップP2の処理を行う。ステップP2において、本システムは、図4(B)に示される状態となるように、BIOS-ROM17のアドレスを変換す

る。またステップP2において、本システムは、BIOS-ROM17の64-128Kバイトの領域のアドレス、即ちE000:0000-E000:FFFFの範囲のアドレス、をマスクし、以後、BIOS-ROM17の0-64Kバイトの領域に記憶されているBIOSに制御が移る。この場合、まず、ブートルーチンが実行されることにより例えばHDD21からオペレーティングシステムのIPLがシステムメモリ13にロードされた後、IPLによってオペレーティングシステムの本体がシステムメモリ13にロードされて、オペレーティングシステムのブートストラップが完了する。

【0045】一方、CRCが不成功（CRCエラーあり）の場合、またはCRCが成功してもF12キーが押下されている場合には、本システムは、ブートブロックのロードルーチンを実行することにより、図10を参照して後述するBIOS書き換え用のフロッピーディスク（FD）80に記憶された書き換えプログラムをシステムメモリ13に転送して、BIOS-ROM17の書き換えを実行する（ステップP3）。

【0046】次に、図8に示した動作を、図9のフローチャートを参照して、より詳細に説明する。まず本システムの電源スイッチがオンされると、電源コントローラ39はローレベルのパワーオンリセット信号を出力する。このパワーオンリセット信号は、図7に示す3つのD型FF71、73、75のクリア端子（CLR）に共通に供給される。これにより、DFF71、73、75はいずれもクリアされ、信号DISE#はハイレベルになり、信号INVと信号ROMPRGはローレベルになる。

【0047】電源コントローラ39からのパワーオンリセット信号は、CPU11にも供給される。これによりCPU11はリセットされる（ステップS1）。するとCPU11は、ファージャンプ命令を実行するための初期アドレス、例えばFFFFFF0と、メモリアドレスを実行する（S2）。これにより、CPU11からのメモリアドレス信号MEMRD#がアクティブレベル（ローレベル）となる。

【0048】CPU11から出力されたアドレス（FFFFFF0）のうちのアドレスビットA16は、D型FF73からの信号INVと共にEXORゲート47に供給される。ここで信号INVはローレベルであるため、アドレスビットA16はEXORゲート47を介してそのままBIOS-ROM17に供給される。このBIOS-ROM17には、CPU11から出力されたアドレス（FFFFFF0）のうちのアドレスA0-15もそのまま供給される。

【0049】この場合、CPU11からは、BIOS-ROM17のアドレスが図4(A)に示されるように見える。したがって、CPU11から出力されたアドレスFFFFFF0のうちのアドレスビットA0-16（1FF



F0)により、BIOS-ROM17のブートブロック172がアドレッシングされる。すると、そのブートブロック172のアドレス1FFF0から始まる領域に記憶されているファージャンプ命令173とブートブロック172内でのジャンプ先を示すベクタアドレスが読み出される。CPU11は、このファージャンプ命令173をベクタアドレスに従って実行する(ステップS3)。ファージャンプ命令173が実行された後は、BIOS-ROM17の128Kバイトの領域は、CPU11からは、図3に示したように、16Mバイトのメモリ空間の0-1Mバイトの領域の最後(High側)の128Kバイト領域に存在するように見える。

【0050】ベクタアドレスで指示されるジャンプ先には、BIOS-ROM17の記憶内容のCRC実行のためのCRCルーチン174が記憶されている。したがって、ファージャンプ命令173が実行されると、それに続いて、BIOS-ROM17の記憶内容のCRC(Cyclic Redundancy Check)、さらには、CRCエラーを条件に、キー入力検出ルーチン178が、実行される(ステップS4)。

【0051】すなわち、CRCルーチン174の実行の結果、BIOS-ROM17のCRCが成功(CRCエラーなし)と判別された場合(ステップS5)、CPU11は、キー入力検出ルーチン178に制御を移し、キーボード35上のF12キーが押されているか否かをチェックする(ステップS6)。

【0052】F12キーが押されてない場合には、CPU11は、アドレス変換並びにアドレスのマスクのためのルーチン175に従って、D型FF71, 73にそれぞれハイレベルの1/Oデータをセットする(ステップS7)。これにより、信号DISE#はローレベルとなり、信号INVはハイレベルとなる。そしてCPU11は、BIOS-ROM17の0-64Kバイトの領域に記憶されているブーチルーチンを実行して、オペレーティングシステムのブートを行う(ステップS8)。

【0053】さて、CPU11が、オペレーティングシステムの制御下でBIOSをアクセスする際には、従来のパーソナルコンピュータにおけるBIOSアクセスの場合と同様に、F000:0000-F000:FFFF(即ちF0000-FFFFF)の範囲内のアドレスを出力する。この場合、もし、以下に述べるEXORゲート47によるアドレス変換が行われずに、このBIOSアクセスのためのアドレスによりBIOS-ROM17がアクセスされたならば、図4(A)からも明らかなように、BIOS-ROM17内のブートブロック172またはシステムマネージメントルーチンがアクセスされるという不都合が生じる。しかし本実施例では、EXORゲート47によるアドレス変換により、BIOS-ROM17内のBIOSを正しくアクセスすることができる。

【0054】まず、上記ステップS7の処理により、信号INVがハイレベルになると、CPU11からBIOSをアクセスするために出力されたアドレスFxxxx(xxxxは0000-FFFFの範囲内のいずれか)のうちのA16は、EXORゲート47によりレベルを反転されて、“1”から“0”に変換される。そして、この論理値が“0”に変換されたA16がBIOS-ROM17に供給される。一方、上記アドレスFxxxxのうちのA0-15はそのままBIOS-ROM17に供給される。

【0055】このように、CPU11からBIOSをアクセスするために出力されたアドレスFxxxxは、Exxxxに変換されてBIOS-ROM17に供給される。この結果、BIOS-ROM17の0-64Kバイトの領域内、即ちBIOSがアクセスされる。そしてCPU11は、上記したように、システムメモリ13にオペレーティングシステムを読み込み、システムの立ち上げ処理が完了する。

【0056】この状態で、CPU11がアドレスExxxxを出力したものとする。このアドレスのExxxxの最上位桁(16進数値E)のうちの最下位ビットであるアドレスビットA16はローレベル(“0”)である。また、信号DISE#もローレベルである。したがって、アドレスビットA16と信号DISE#が供給されるオアゲート59の出力はローレベルとなる。この場合、ナンドゲート61の出力、即ち、チップセレクト信号ROMCS#はハイレベルとなり、BIOS-ROM17はアクセス禁止状態となる。

【0057】一方、上記ステップS5でCRCが不成功(CRCエラーあり)と判別された場合、またはCRCが成功してもF12キーの押下がステップS6で検出されると、CPU11はBIOS-ROM17のブートブロック172に記憶された初期化ルーチン176に従い、BIOS-ROM17のメインブロック171の内容を正しいデータに書き換えるのに必要な、初期化処理を行う(ステップS9)。即ちCPU11は、ステップS9において、ディスプレイコントローラ(DISPCONT)29の初期化、システムメモリ13の初期化、スーパーインテグレーションIC(SI)23内のFDC(フロッピーディスクコントローラ)の初期化、キーボードコントローラ(KBC)33の初期化等を行う。

【0058】次にCPU11は、BIOS-ROM17のブートブロック172に記憶されたロードルーチン177に従い、以下のステップS10乃至S14の処理を行う。

【0059】まずCPU11は、ディスプレイコントローラ29を制御して、図10に示すようなデータ構造のフロッピーディスク(FD)80をフロッピーディスクドライブ(内部FDD)25に挿入すべき旨の操作案内



画面を、ディスプレイパネル31に表示する(ステップS9)。この画面には、フロッピーディスク挿入後に、キーボード(KB)35上の任意のキーを操作すべき旨も表示される。

【0060】ユーザは、この表示画面上の指示に従って、フロッピーディスク(FD)80をフロッピーディスクドライブ(FDD)25に挿入し、しかる後にキーボード(KB)35上の任意のキーを操作する。このキー操作はCPU11によって検出される(ステップS10)。

【0061】ここで、図10に示されるフロッピーディスク(FD)80について説明する。このFD80は、BIOS-ROM書き換え用のFDである。FD80には、BIOSファイル81と、このBIOSファイル81によりBIOS-ROM17の記憶内容を書き換える(修復する)ための書き換えルーチン82が記憶されている。BIOSファイル81には、BIOSとシステムマネージメントルーチンが記憶されている。書き換えルーチン82の所定位置には、このFD80がBIOS-ROM書き換え用であることを示す識別データIDが記憶されている。

【0062】さてCPU11は、上記ステップS11でキー操作が行われたことを検出すると、FDD25に挿入されたFDの所定位置から識別データIDを読み込み、同データIDがBIOS-ROM書き換え用FDに固有の正しいデータであるか否かをチェックする(ステップS12、S13)。

【0063】ステップS13で識別データIDが誤っていると判別された場合、CPU11は、FDD25に挿入されたFDは、BIOS-ROM書き換え用のFD80ではないものと判断し、ステップS10にリターンする。

【0064】一方、ステップS13で識別データIDが正しいと判別された場合、CPU11は、FDD25にはBIOS-ROM書き換え用のFD80(図10)が正しく挿入されているものと判断し、ロードルーチンによって、FD80内に記憶されている書き換えルーチン82をシステムメモリ13に転送する(ステップS14)。

【0065】以後、CPU11はシステムメモリ13に転送された書き換えルーチン82に従って、以下のステップS15乃至S17の処理を行う。まずCPU11は、図7に示すD型FF75にハイレベルのI/Oデータをセットする(ステップS14)。これにより、信号ROMPRGがハイレベルとなり、スイッチ45が+12V側に切り替わる。すると、フラッシュメモリで構成されたBIOS-ROM17の端子PROGに+12Vが供給され、BIOS-ROM17へのデータ書き込みが可能となる。

【0066】このとき、D型FF71、73は、電源リ

セットされた際と同一状態(クリア状態)にあり、したがって信号DISE#はハイレベル、信号INVはローレベルとなっている。信号INVがローレベルの場合、CPU11からのアドレスビットA16はそのままBIOS-ROM17に供給される。しかも信号DISE#がハイレベルであることから、マスク回路49内のアンドゲート57の出力がハイレベルとなるならば、アドレスビットA16の値に関わりなく信号ROMCS#はローレベルとなり、BIOS-ROM17のアクセスが可能となる。

【0067】ここで、アンドゲート57の出力がローレベルとなる条件は2つある。第1の条件は、アドレスビットA17-23がオール“1”であること、即ちアドレスA0-23がFF××××(A16=“1”の場合)またはFE××××(A16=“0”の場合)であることである。この第1の条件を満足するアドレスの範囲は、図3に示す16Mバイトのメモリ空間上の、15Mバイトから16Mバイトまでの領域のうちの最後(High側)の128Kバイト領域を示すFE0000-FFFFFFである。第2の条件は、アドレスビットA17-19がオール“1”で且つアドレスビットA20-23がオール“0”であること、即ちアドレスA0-23が0F××××(A16=“1”の場合)または0E××××(A16=“0”の場合)であることである。この第2の条件を満足するアドレスの範囲は、図3に示す16Mバイトのメモリ空間上の、0から1Mバイトまでの領域のうちの最後(High側)の128Kバイト領域を示す0E0000-0FFFFFFFである。

【0068】したがって、本実施例では、上記ステップS15によりBIOS-ROM17の端子PROGに+12Vが供給されるようになると、CPU11から出力されるアドレスA17-23が上記の条件を満足するならば、アドレスビットA16の値に拘りなく信号ROMCS#はローレベルとなり、BIOS-ROM17のアクセスが可能となる。即ち、BIOS-ROM17のメインブロック171全域がライトアクセス可能となる。

【0069】そこでCPU11は、上記ステップS14の実行により、BIOS-ROM17に対するデータ書き込みが可能にすると、FDD25に挿入されているFD80上のBIOSファイル81の内容をBIOS-ROM17に転送し、上記の条件を満足するアドレスを用いて、BIOSファイル81の内容をBIOS-ROM17のメインブロック171に書き込む制御を行う(ステップS16)。このようにして、BIOS-ROM17のメインブロック171の内容が、BIOS-ROM書き換え用のFD80に記憶されているBIOSファイル81の内容に書き換えられる。

【0070】CPU11は、BIOS-ROM17の内容の書き換えを終了すると、ディスプレイコントローラ29を制御して、システムの電源を一旦切り、その電源

を再投入すべき旨の操作案内を、ディスプレイパネル 31 に表示する (ステップ S17)。電源再投入後のシステムの動作は、上述の一連の動作と同一である。

【0071】以上説明したように、この実施例においては、BIOSROM17として使用されるフラッシュメモリは、書き替えの対象となるメインブロック171と書き替えの対象とならない読み出し専用のブートブロック172を有しており、ブートブロック172に格納されたキー入力検出ルーチンが、オペレーティングシステムのブート処理に先立って、電源投入に応答して先に実行される。このキー入力検出ルーチンが実行されることにより、メインブロック171の書き替えを指示するF12キーの入力の有無が検出され、キー入力がない場合には、メインブロック171のブートルーチンが実行されてオペレーティングシステムのブート処理が行われる。一方、キー入力がある場合には、ロードルーチンが実行される。このロードプログラムが実行されることにより、書き替えプログラムが強制的にFDからロードされて実行される。この結果、メインブロックの内容の書き替えが行われる。

【0072】このように、F12キーを入力することによって強制的に書き替えプログラムを実行できるので、たとえ書き替え可能なメインブロック171の内容が破壊されてしまいシステムを立ち上げる事ができない場合でも、メインブロック171の内容の修復をオンボード上で行うことができる。

【0073】なお、この実施例では、CRCチェックとF12キーの入力チェックを併用して、ブート処理とBIOS書き替え処理の選択を行ったが、これは、BIOSの内容が破壊されていてシステムを正常に立ち上げる事ができない場合でも、CRC成功と判断される場合があるためである。したがって、F12キーの入力チェックを行えば、必ずしもCRCチェックの結果を、ブート処理とBIOS書き替え処理の選択に利用する必要はない。

【0074】但し、実際には、CRCチェックが失敗した時にはシステムを立ち上げられないので、BIOSを書き替えて、CRCチェックエラーとなったメモリ部分を修復する必要がある。このため、この実施例のように、CRCチェックとF12キーの入力チェックを併用して、CRCチェックエラーの場合、またはCRCチェック成功で且つF12キーが押されている場合に、BI

OS書き替えルーチンをロードすることが最も好ましい。

【図面の簡単な説明】

【図1】この発明の第1実施例に係るパーソナルコンピュータのシステム構成を示すブロック図。

【図2】図1に示したパーソナルコンピュータに設けられているBIOS-ROMの記憶内容の一例を示す図。

【図3】図2のBIOS-ROMに割り当てられるアドレス空間を説明するためのメモリマップ。

【図4】図2のBIOS-ROMに割り当てられるアドレスとそのBIOS-ROMの記憶領域との関係を示す図。

【図5】図2のBIOS-ROMをアクセスするためのハードウェア構成を示す図。

【図6】図5に示したハードウェア構成に含まれるマスク回路の構成を示す回路図。

【図7】図5に示したハードウェア構成で使用する各種制御信号を生成するための回路を示す図。

【図8】図1のコンピュータシステムの動作の概略を示すフローチャート。

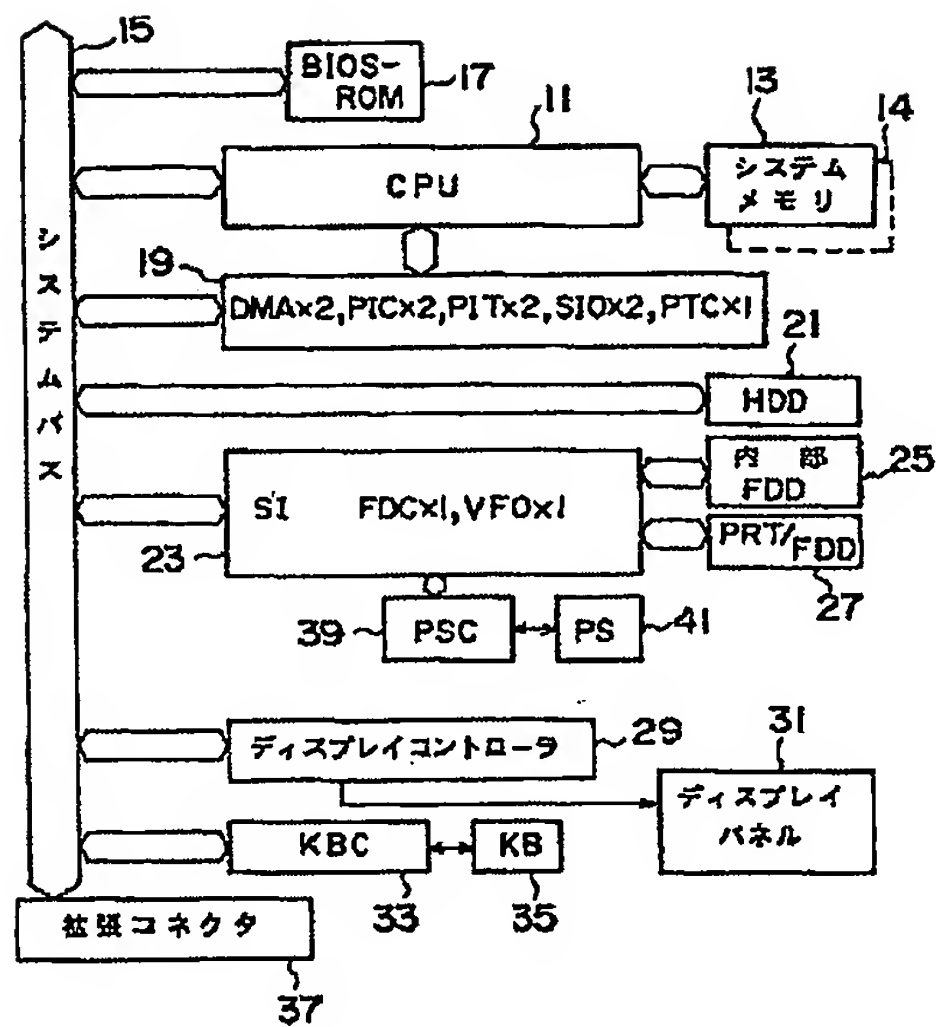
【図9】図8に示されるフローチャートの詳細を示すフローチャート。

【図10】図2のBIOS-ROMに転送されるBIOSファイルを記憶したフロッピーディスクの構成を示すデータマップ。

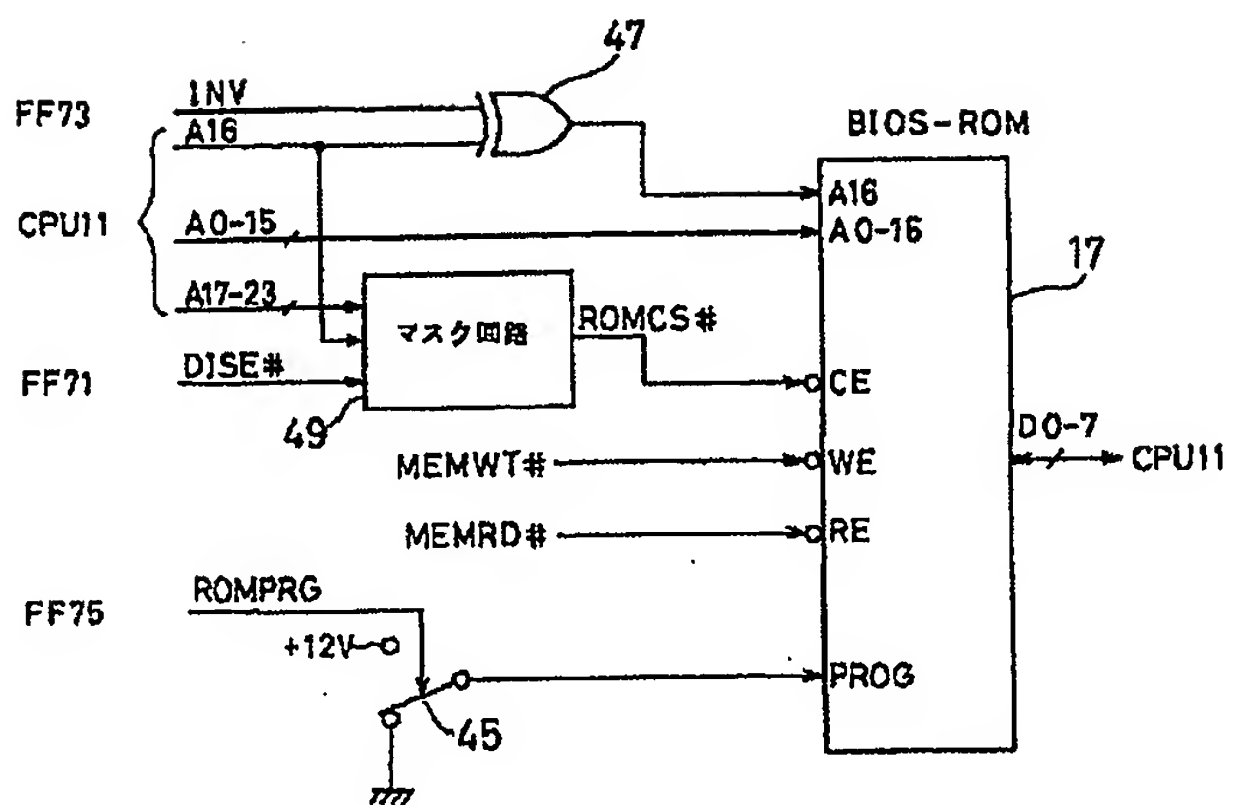
【符号の説明】

11…CPU、13…システムメモリ、15…システムバス、17…BIOS-ROM、19, 23…スーパーインテグレーションIC(SI)、25…内部FDD、31…ディスプレイパネル、33…キーボードコントローラ(KBC)、35…キーボード(KB)、39…電源コントローラ、47…EXORゲート、49…マスク回路、51, 57…ANDゲート、53…NOTゲート、55, 59…ORゲート、61…NANDゲート、71, 73, 75…D型フリップフロップ、91…I/Oレジスタ、45, 94…スイッチ、80…フロッピーディスク(FD)、81…BIOSファイル、82…書き換えルーチン、171…メインブロック、172…ブートブロック、173…ファージャンプ命令、174…CRCルーチン、175…アドレス変換並びにアドレスマスクルーチン、176…初期化ルーチン、177…ロードルーチン、178…キー入力検出ルーチン。

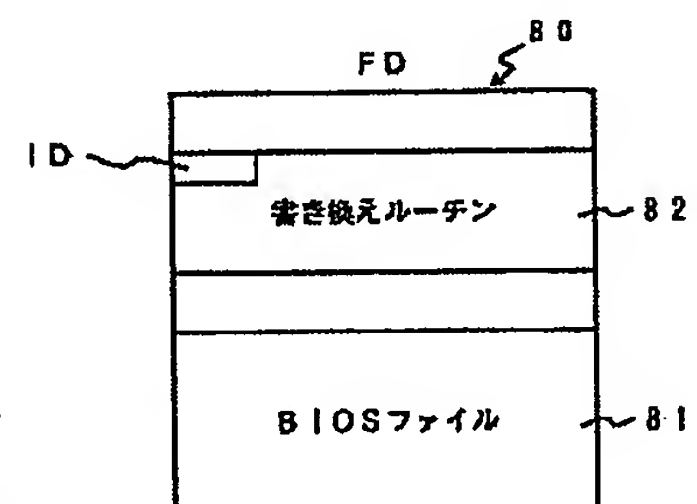
【図1】



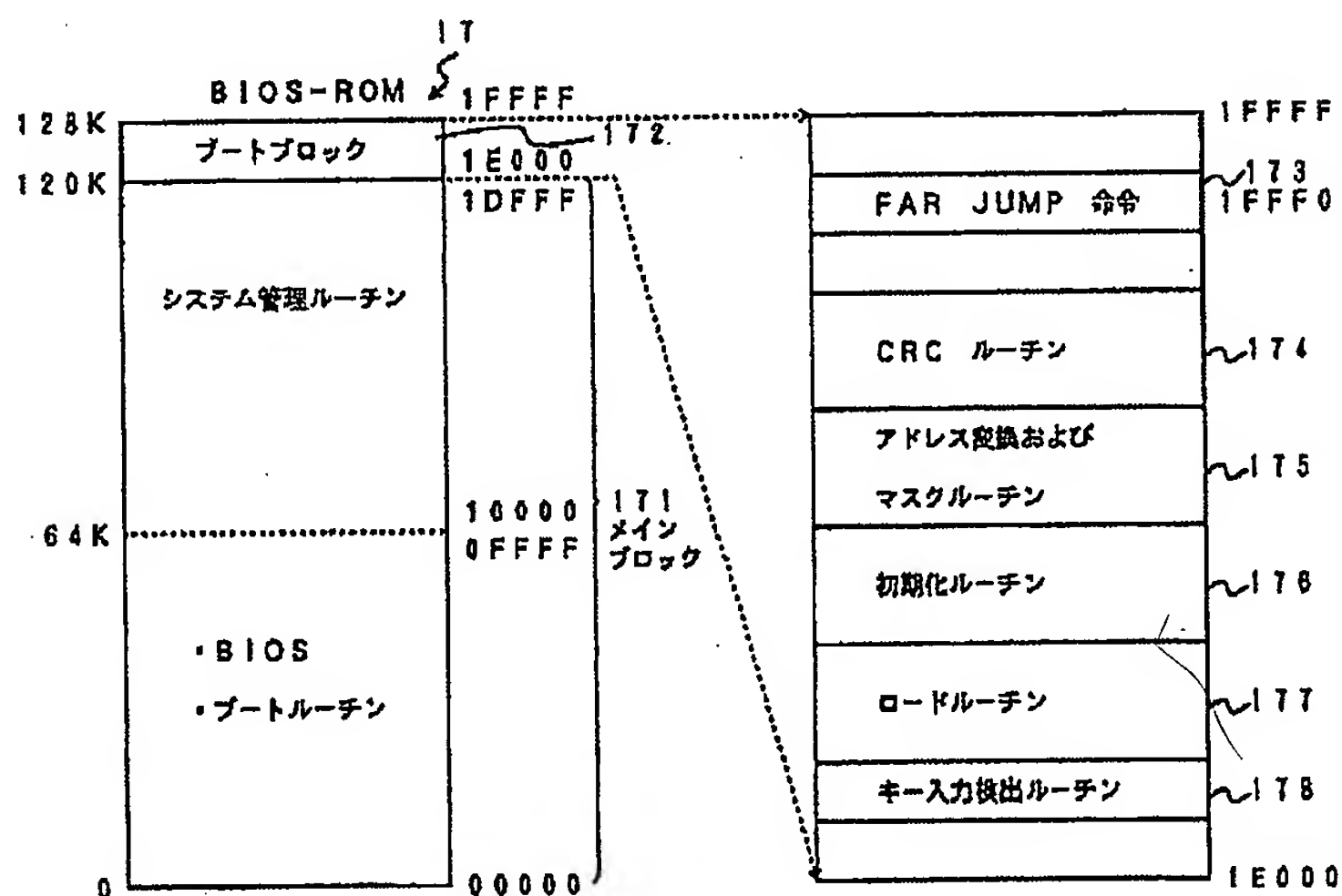
【図5】



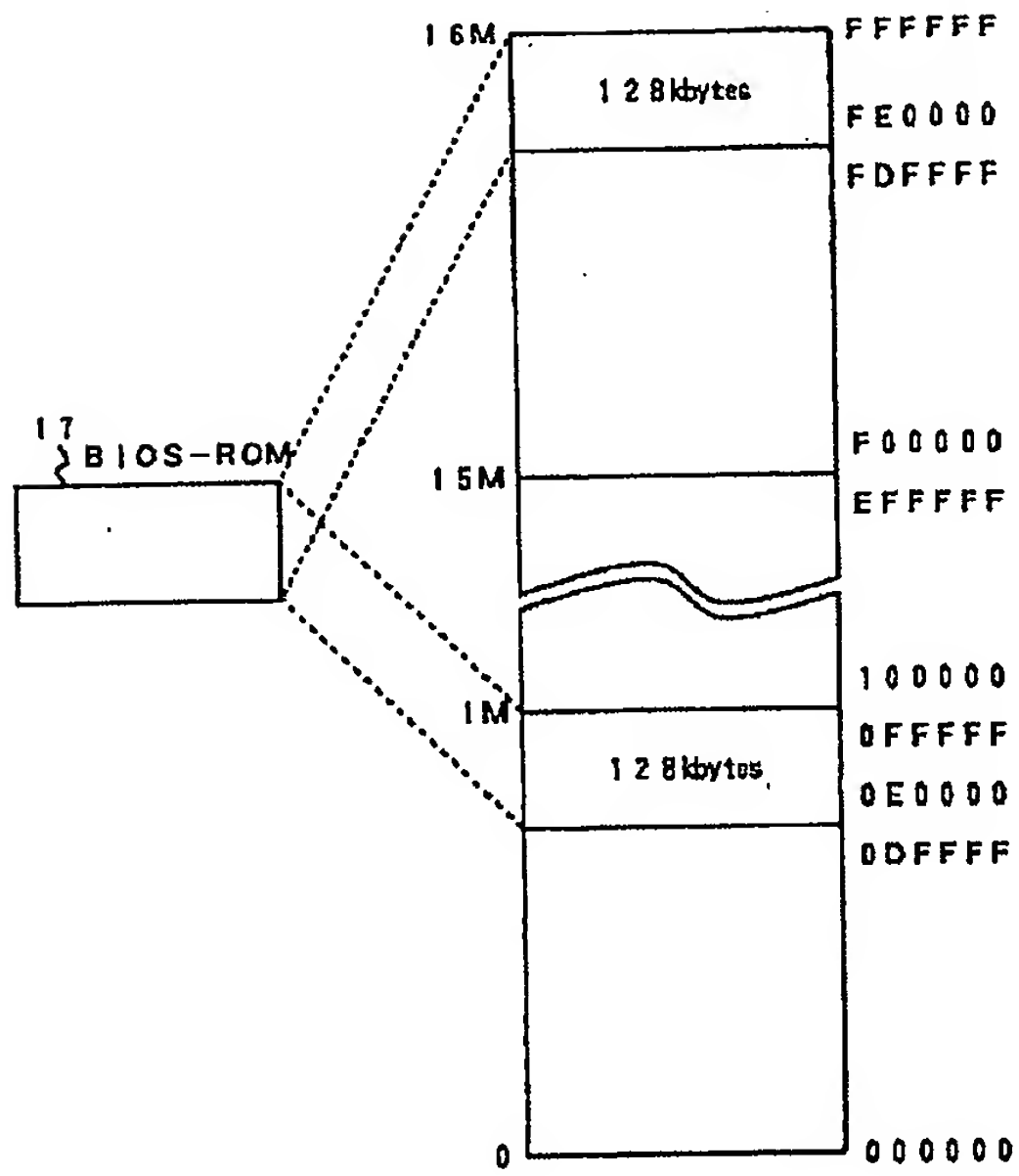
【図10】



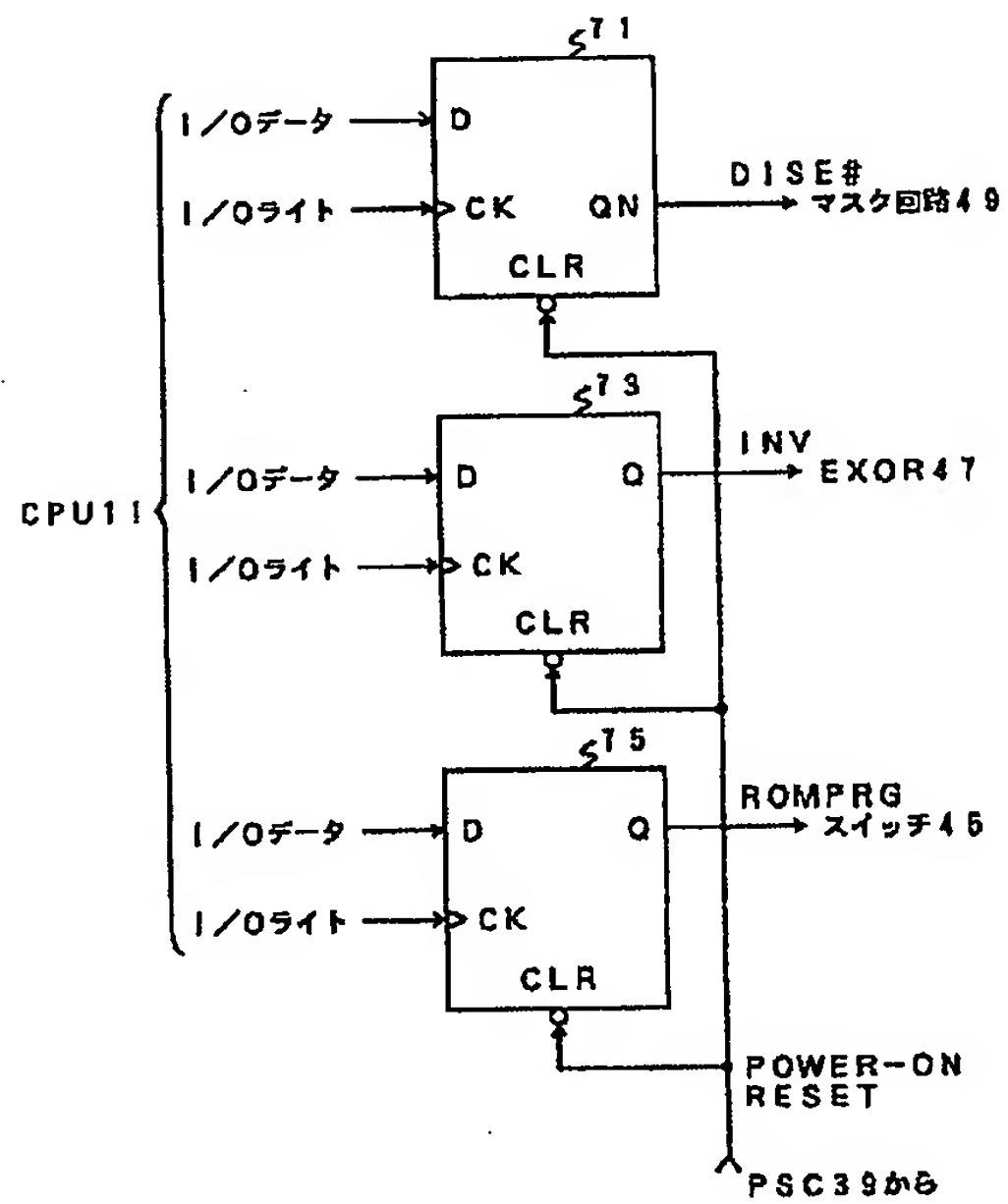
【図2】



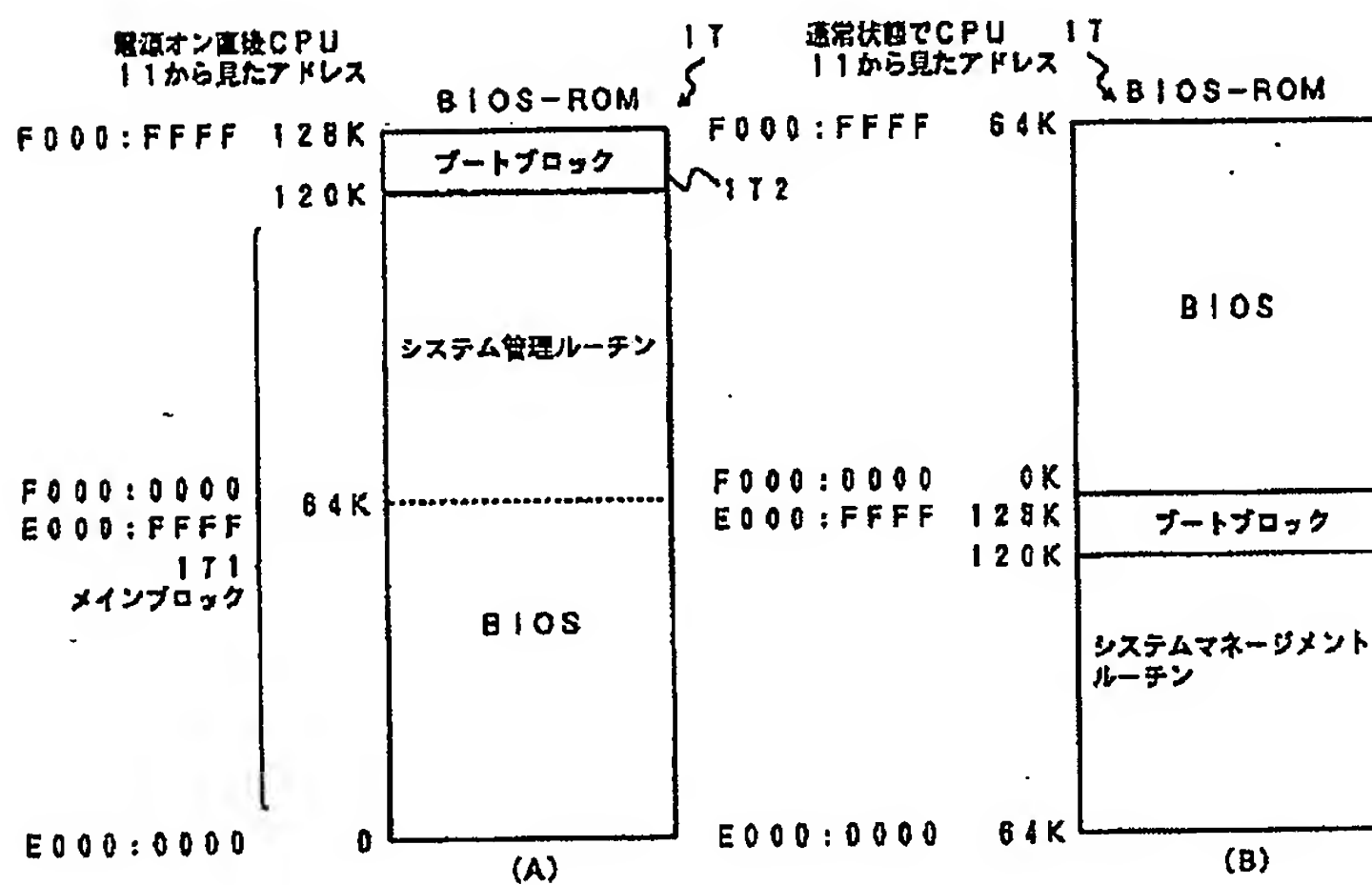
【図3】



【図7】

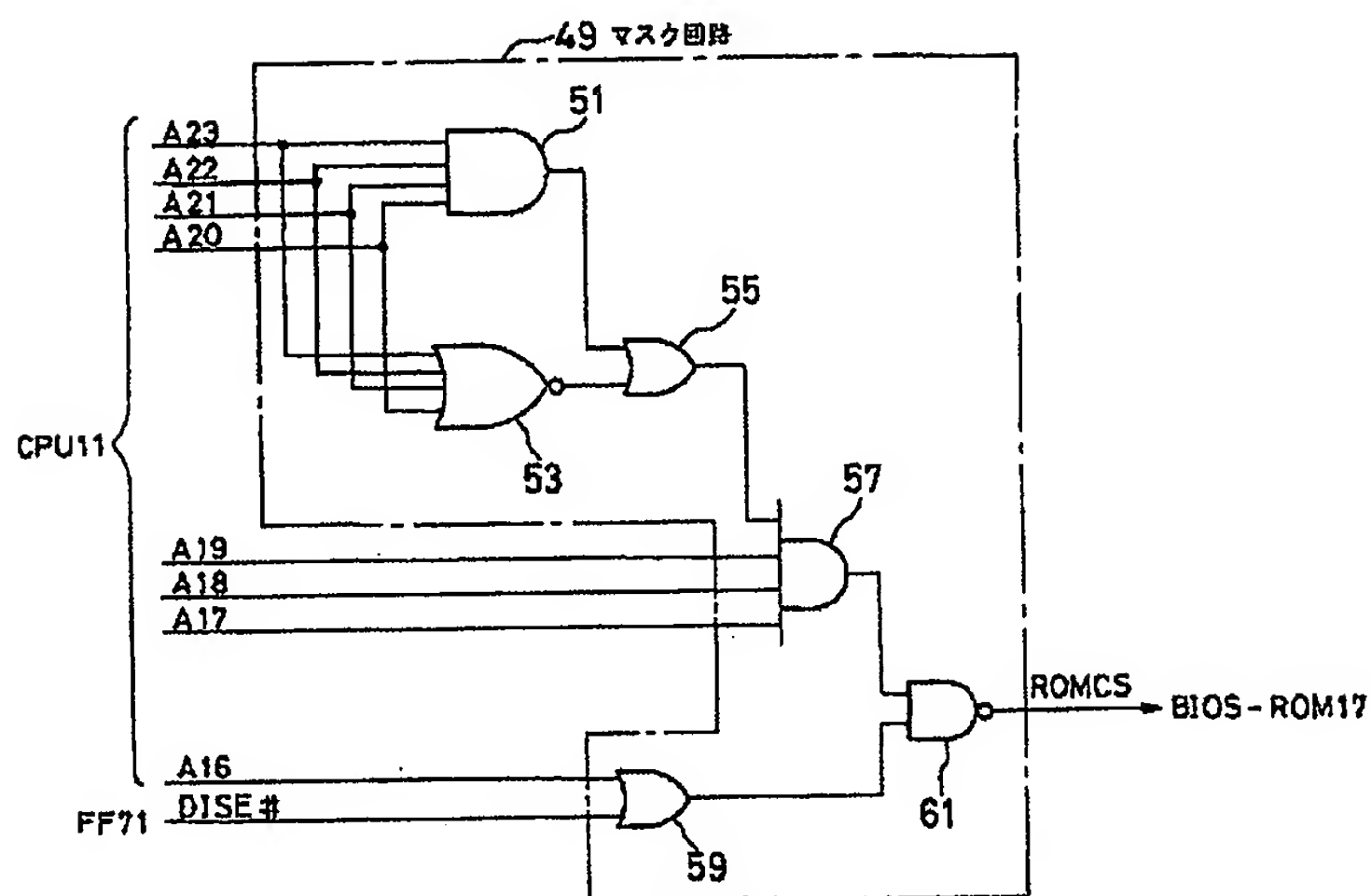


【図4】

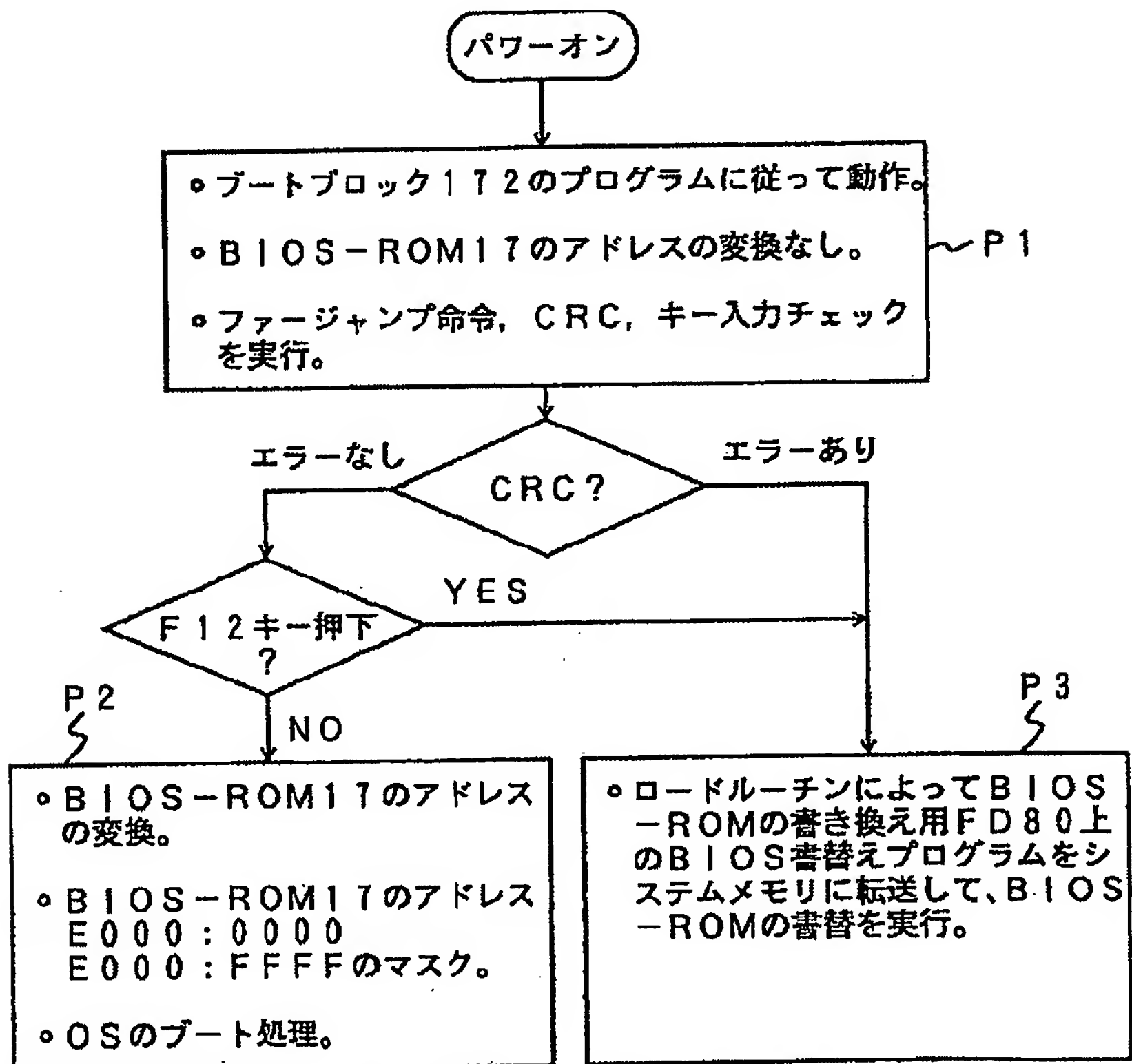




【図6】



【図8】



【図9】

